

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Kitagawa, et al.

Serial No. Not yet assigned

Group Art Unit: Not yet assigned

Filed: November 25, 2003

Examiner: Not yet assigned

Title: IMPEDANCE TRIMMING CIRCUIT

EXPRESS MAIL NUMBER: EV 302278149 US

DATE OF DEPOSIT: November 25, 2003

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313.

  
Susan Pingue

\* \* \*

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119  
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-307766	August 29, 2003
Japan	2003-113191	April 17, 2003

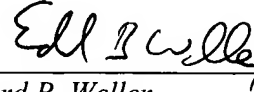
A Certified copy of the corresponding Convention Applications are being submitted herewith.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: November 25, 2003

By



*Edward B. Weller*

Reg. No. 37,468

Attorney for Applicant

GRAY CARY WARE & FREIDENRICH  
2000 University Avenue  
East Palo Alto, CA 94303  
Telephone: (650) 833-2436  
Facsimile: (650) 833-2001

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2003年 4月17日

出 願 番 号  
Application Number:

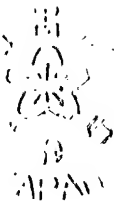
特願2003-113191

[ ST.10/C ]:

[ JP2003-113191 ]

出 願 人  
Applicant(s):

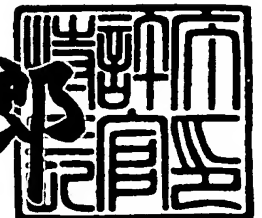
株式会社東芝  
東芝アイティー・ソリューション株式会社



2003年 6月24日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3049435

【書類名】 特許願

【整理番号】 A000301747

【提出日】 平成15年 4月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/08

【発明の名称】 インピーダンス調整回路

【請求項の数】 11

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ  
                                イクロエレクトロニクスセンター内

    【氏名】 北川 信孝

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ  
                                イクロエレクトロニクスセンター内

    【氏名】 高田 秀一

【発明者】

    【住所又は居所】 神奈川県川崎市幸区堀川町 6 6 番地 2 東芝アイティー  
                                ・ソリューション株式会社内

    【氏名】 佐々木 信之

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【特許出願人】

    【識別番号】 301063496

    【氏名又は名称】 東芝アイティー・ソリューション株式会社

【代理人】

    【識別番号】 100058479

    【弁理士】

    【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705037

【包括委任状番号】 0117417

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 インピーダンス調整回路

【特許請求の範囲】

【請求項 1】 第 1 内蔵抵抗と外部抵抗とが第 1 ノードを介して直列接続される第 1 直列回路と、内蔵基準電圧が第 1 入力端子に入力され、第 2 入力端子が前記第 1 ノードに接続され、出力端子が前記第 1 直列回路に接続される第 1 オペアンプとから構成される共通バイアス部と、

第 2 内蔵抵抗とインピーダンス模擬抵抗とが第 2 ノードを介して直列接続される第 2 直列回路と、第 1 入力端子が前記第 1 ノードに接続され、第 2 入力端子が前記第 2 ノードに接続されるコンパレータと、前記コンパレータの出力信号をクロック信号でラッチし、複数の切り替えコードを生成するコード制御回路と、前記複数の切り替えコードにより、前記インピーダンス模擬抵抗の抵抗値を切り替える切り替え回路とから構成されるインピーダンストリミング部とを具備し、

前記第 1 オペアンプの出力端子は、前記第 2 直列回路にも接続され、前記コード制御回路の出力信号は、ターゲットインピーダンス調整回路に入力されることを特徴とするインピーダンス調整回路。

【請求項 2】 前記共通バイアス部と前記インピーダンストリミング部とからなる対は、1 つ又は複数存在することを特徴とする請求項 1 記載のインピーダンス調整回路。

【請求項 3】 前記インピーダンス模擬抵抗は、出力バッファを含んでいることを特徴とする請求項 1 記載のインピーダンス調整回路。

【請求項 4】 前記インピーダンス模擬抵抗は、入力インピーダンス、終端抵抗、プルアップ抵抗又はプルダウン抵抗を含んでいることを特徴とする請求項 1 記載のインピーダンス調整回路。

【請求項 5】 前記切り替え回路における前記複数の切り替えコードと前記インピーダンス模擬抵抗の抵抗値との関係は、逆数、折れ線、又は、S 字の関係有していることを特徴とする請求項 1 記載のインピーダンス調整回路。

【請求項 6】 前記第 1 及び第 2 内蔵抵抗の抵抗値は、パッケージ、リード又はフレームに寄生する寄生抵抗を含み、前記インピーダンス模擬抵抗の抵抗値

の調整範囲をシフトするために調整されることを特徴とする請求項1記載のインピーダンス調整回路。

【請求項7】 前記外部抵抗は、外部高精度抵抗であり、前記第1及び第2内蔵抵抗の抵抗値は、前記外部抵抗の値に基づいて切り替えられることを特徴とする請求項1記載のインピーダンス調整回路。

【請求項8】 前記第1及び第2内蔵抵抗の抵抗値は、パッケージ及びリードフレームに寄生する寄生抵抗、並びに、前記外部抵抗の値に基づいて切り替えられることを特徴とする請求項1記載のインピーダンス調整回路。

【請求項9】 前記第1内蔵抵抗は、第1及び第2抵抗素子から構成され、前記第1抵抗は、設計時点での前記内蔵基準電圧の値と使用時点での前記内蔵基準電圧の値との差の電圧を発生させ、前記第1及び第2抵抗素子の抵抗値は、

$$R_{ext} : R_{1under} + R_{1upper} = R_{trim} : R_t$$

但し、 $R_{ext}$ は、前記外部抵抗の抵抗値、 $R_{1under}$ は、前記第1抵抗素子の抵抗値、 $R_{1upper}$ は、前記第2抵抗素子の抵抗値、 $R_{trim}$ は、前記インピーダンス模擬抵抗の抵抗値、 $R_t$ は、前記第2内蔵抵抗の抵抗値。

の関係を満足するように、前記内蔵基準電圧の値に応じて調整されることを特徴とする請求項1記載のインピーダンス調整回路。

【請求項10】 前記外部抵抗に代わり、前記第1及び第2内蔵抵抗及び前記インピーダンス模擬抵抗よりも高精度な内蔵抵抗を用いることを特徴とする請求項1記載のインピーダンス調整回路。

【請求項11】 前記インピーダンストリミング部は、第2オペアンプを有し、前記第2オペアンプの第1入力端子は、前記第1直列回路に接続され、前記第2オペアンプの第2入力端子及び出力端子は、前記第2直列回路に接続されることを特徴とする請求項1記載のインピーダンス調整回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、出カインピーダンス、入カインピーダンス、終端抵抗などのインピーダンスマッチングを行い、信号の反射を抑え、高速シリアル信号の高品質な転



送を行うための、インピーダンス調整回路を内蔵したLSIに関し、特に、高精度かつ自動的に調整するトリミング回路に使用される。

#### 【0002】

##### 【従来の技術】

従来、USB 2. 0での(480Mbps)やLVDS(数Gbps)などの高速インターフェイスにおいて、入力インピーダンス、駆動インピーダンス、プルアップ/プルダウン抵抗などを規格値(例えば、 $\pm 10\%$ )に合わせることは、転送信号の波形の反射を抑え、高品質な高速信号伝送を行うに当たって、必要不可欠であった。

#### 【0003】

しかしながら、LSI製造工程で作り込んだ抵抗素子のバラツキ(例えば、 $\pm 20\%$ )や、出力トランジスタのオン抵抗の温度・電源電圧・閾値依存性など(例えば、ワーストベスト=倍/半分)が大きく、何らかの調整回路が必要とされていた。

#### 【0004】

従来技術の第1例として、非特許文献1を示す。

非特許文献1では、図13及び図14に示すように、オペアンプは、外部抵抗 $R_{ext}$ の電圧降下を内部基準電圧 $V_{ref}$ に調整する。オペアンプの出力信号は、2つのPチャネルMOSトランジスタのゲートに供給される。出力バッファの出力信号は、プラスとマイナスの差動出力として、Data+端子とData-端子に、内蔵抵抗の電圧降下により得られる。この回路は、データ転送のための回路とは別に、調整のための補助回路を有している。補助回路は、VA端子の電位が $V_{ref}$ に最も近くなるようなコードを見付け出す制御を行う。

#### 【0005】

この場合、出力インピーダンスは、内蔵抵抗及びMOS抵抗となるが、この従来例では、この値を、 $45\Omega \pm 5\Omega$ に調整している。即ち、コンパレータと制御回路でMOSトランジスタのサイズを調整し、最もエラーの小さいコードを見付け出して、MOSトランジスタのサイズを加減し、そのコードを出力バッファに与える。

## 【0006】

しかしながら、この方法では、基準電圧のバラツキ、オペアンプの入力オフセット電圧、PチャネルMOSトランジスタからなる電流源の電流比のバラツキ、MOS抵抗のバラツキなど、種々のバラツキ要因の影響を受けるため、実際には、高精度に調整することは困難であった。

## 【0007】

例えば、PチャネルMOSトランジスタからなる電流源の電流比が、5%程度、ばらついた場合には、このバラツキだけで、出力インピーダンス  $45\Omega \pm 5\Omega$  のバラツキ許容範囲となってしまう。このため、歩留りの低下、製造工程の管理に労力を要するなどのデメリットが生じ、現実的に、精度良く、調整することが困難となる。

## 【0008】

さらに、従来技術の第2例として、非特許文献2を示す。

非特許文献2では、図15に示すように、外部から与えられる基準電圧  $V_{ref}$  と、外部抵抗と内蔵トリミング抵抗による分圧電圧とが最も等しくなるように、内蔵トリミング抵抗の値を切り替え、その切り替えコードを、入力終端抵抗の切り替えに反映させる。

## 【0009】

内蔵トリミング抵抗は、図16に示すように、IPとINの間に直接接続される抵抗  $R_0$  と、コードによりオン／オフが制御されるスイッチを介して接続される抵抗  $R_1 \sim R_8$  とから構成される。

## 【0010】

図17に示すように、内蔵抵抗のバラツキ範囲を考慮して、抵抗  $R_0$  の値は、予め大きな値とし、抵抗  $R_1 \sim R_8$  を順次接続する事で、内蔵トリミング抵抗の調整を広範囲で行い、規格値  $100\Omega \pm 10\Omega$  の範囲に入るようにしている。

## 【0011】

しかしながら、この方法では、外部に、基準電圧  $V_{ref}$  を発生させる回路と高精度な2つの抵抗が必要となるため、コストが増大するという問題がある。また、この方法は、入力終端部に使えるだけである。出力インピーダンスの調整

は、従来技術の第 1 例に示すように、出力バッファのオン抵抗を含めて調整しなければならない。

【 0 0 1 2 】

従来技術の第 3 例として、特許文献 1 を示す。

特許文献 1 では、図 1 8 に示すように、外部抵抗  $R_Q$  の電圧降下  $V_{ZQ}$  が電源  $V_{DDQ}$  の  $1/2$  になるように、オペアンプにより P チャネル MOS トランジスタからなる電流源の電流を調整している。また、カレントミラーにより、出力ドライバに電流を流し、その電圧降下が  $V_{ZQ}$  に等しくなるように、出力ドライバのサイズを調整する。

【 0 0 1 3 】

この場合でも、オペアンプのオフセット電圧や、カレントミラー電流のバラツキなど、これらの要因が、直接、出力抵抗のバラツキに影響するため、高精度に調整することには限界があった。

【 0 0 1 4 】

【特許文献 1】

特開 2 0 0 1 - 9 4 0 4 8 号公報

【 0 0 1 5 】

【特許文献 2】

特開平 8 - 3 3 5 8 7 1 号公報

【 0 0 1 6 】

【特許文献 3】

特開平 1 1 - 3 1 9 6 0 号公報

【 0 0 1 7 】

【非特許文献 1】

ESSCIRC2001 "A New Impedance Control Circuit for USB2.0 Transceiver" Koo K.-H. SAMSUNG Electronics ([http://www.esscirc.org/esscirc2001/C01\\_Presentations/5.pdf](http://www.esscirc.org/esscirc2001/C01_Presentations/5.pdf))

【 0 0 1 8 】

【非特許文献 2】

ESSCIRC2001 "Digitally tuneable on- chip line termination resistor for 2.5Gbit/ s LVDS receiver in 0.25 $\mu$ m standard CMOS technology" M. Kumric, F. Ebert, R. Ramp, K. Welch Alcatel SEL Stuttgart ([http://www.esscirc.org/esscirc2001/C01\\_Presentations/98.pdf](http://www.esscirc.org/esscirc2001/C01_Presentations/98.pdf))

【 0 0 1 9 】

【発明が解決しようとする課題】

このように、従来では、L S I 製造工程のバラツキの影響を排除し、高精度のトリミングを実現すると共に、少ない外部部品で構成することができるインピーダンス調整回路が切望されていた。

【 0 0 2 0 】

本発明の目的は、L S I 製造工程のバラツキの影響を排除し、高精度のトリミングを実現すると共に、少ない外部部品で構成することができるインピーダンス調整回路を提供することにある。

【 0 0 2 1 】

【課題を解決するための手段】

本発明の例に関わるインピーダンス調整回路装置は、第 1 内蔵抵抗と外部抵抗とが第 1 ノードを介して直列接続される第 1 直列回路と、内蔵基準電圧が第 1 入力端子に入力され、第 2 入力端子が前記第 1 ノードに接続され、出力端子が前記第 1 直列回路に接続される第 1 オペアンプとから構成される共通バイアス部；及び、第 2 内蔵抵抗とインピーダンス模擬抵抗とが第 2 ノードを介して直列接続される第 2 直列回路と、第 1 入力端子が前記第 1 ノードに接続され、第 2 入力端子が前記第 2 ノードに接続されるコンパレータと、前記コンパレータの出力信号をクロック信号でラッチし、複数の切り替えコードを生成するコード制御回路と、前記複数の切り替えコードにより、前記インピーダンス模擬抵抗の抵抗値を切り替える切り替え回路とから構成されるインピーダンストリミング部とを備え、前記第 1 オペアンプは、前記第 2 直列回路にも接続され、前記コード制御回路の出力信号は、ターゲットインピーダンス調整回路に入力される。

【 0 0 2 2 】

【発明の実施の形態】

以下、図面を参照しながら、本発明の例に関わるインピーダンス調整回路について詳細に説明する。

### 【0023】

#### 1. 概要

まず、本発明の例に関わるインピーダンス調整回路は、基準電圧回路、内蔵抵抗  $R_1$ 、高精度外部抵抗  $R_{ext}$  及びオペアンプ  $OP_1$  から構成される共通バイアス回路と、別の内蔵抵抗  $R_{to}$ 、ドライバ模擬抵抗  $R_{drv}$ 、出力インピーダンス模擬抵抗  $R_{to\_trim}$ 、オペアンプ  $OP_1$ 、コンパレータ  $CMP$  及びコード制御回路から構成される出力インピーダンス調整回路とを有する。

### 【0024】

そして、内蔵抵抗の抵抗値を  $R_1$ 、高精度外部抵抗の抵抗値を  $R_{ext}$ 、別の内蔵抵抗の抵抗値を  $R_{to}$ 、ドライバ模擬抵抗の抵抗値を、 $R_{drv}$ 、出力インピーダンス模擬抵抗の抵抗値を、 $R_{to\_trim}$ とした場合に、

$$R_{ext} : R_1 = (R_{drv} + R_{to\_trim}) : R_{to}$$

の関係、又は、これに最も近い関係となるように、 $R_{to\_trim}$ の値を切り替え、この切り替え情報をドライバ回路へ反映させる。

### 【0025】

また、本発明の例に関わるインピーダンス調整回路は、さらに、別の内蔵抵抗  $R_{ti}$ 、入力インピーダンス模擬抵抗  $R_{ti\_trim}$ 、オペアンプ  $OP_2$ 、コンパレータ  $CMP$  及びコード制御回路から構成される入力インピーダンストリミング回路を有する。そして、別の内蔵抵抗の抵抗値を  $R_{ti}$ 、入力インピーダンス模擬抵抗の抵抗値を  $R_{ti\_trim}$ とした場合に、

$$R_{ext} : R_1 = R_{ti\_trim} : R_{ti}$$

の関係、又は、これに最も近い関係となるように、 $R_{ti\_trim}$ の値を切り替え、この切り替え情報を入力インピーダンス回路へ反映させる。

### 【0026】

なお、本発明の例に関わるインピーダンス調整回路は、出力インピーダンス調整回路及び入力インピーダンス調整回路のうちの少なくとも1つを有していればよい。また、出力インピーダンス調整回路のみを使用する場合、入力インピーダ

ンス調整回路のみを使用する場合、又は、これら双方を使用する場合において、これらの要素は、複数存在していてもよい。

【0027】

## 2. 第1実施の形態

図1は、本発明の第1実施の形態に関わるインピーダンス調整回路を示している。

【0028】

Rdrv（記号△）は、出力ドライバを表している。共通バイアス部11は、ノードVr1を介して接続される内蔵抵抗R1及び高精度の外部抵抗Rext、内部基準電圧VrefとノードVr1の電圧が入力されるオペアンプOP1、PチャネルMOSトランジスタP1、並びに、NチャネルMOSトランジスタN1を有する。電源VDDに接続されるPチャネルMOSトランジスタP1は、他の回路に与える低電流バイアスを生成するためのバイアス生成回路であり、付属回路である。

【0029】

以下、図1に基づき、その動作を説明する。

オペアンプOP1は、電圧Vr1が内部基準電圧Vrefに等しくなるように、NチャネルMOSトランジスタ（電流制御素子）N1のゲート電圧を制御する。電圧Vr2は、電圧Vr1に対し、電流I1による抵抗R1の電圧降下分を加えた値、即ち、 $Vr2 = Vr1 + (R1 / Rext) \times Vr1$ となる。

【0030】

具体的に計算例を示す。

内部基準電圧Vrefは、例えば、 $1.2V \pm 5\%$ とする。外部抵抗Rextは、高精度抵抗、例えば、 $12K\Omega \pm 0.1\%$ とする。電源電圧VDDは、例えば、 $3.3V \pm 10\%$ 、オペアンプOP1のオフセット電圧は、例えば、 $\pm 10mV$ とする。

【0031】

外部抵抗Rextによる電圧降下値が内蔵基準電圧Vrefに等しくなるように、オペアンプOP1とNチャネルMOSトランジスタ（電流制御素子）N1と

からなる負帰還回路が働く。その結果、 $V_{r1}$ は、 $V_{ref}$ となる。内蔵基準電圧 $V_{ref}$ のバラツキとオペアンプOP1のオフセットによる影響で、精度は、 $(1.2V \pm 5\%) \pm 10mV$ 、つまり、 $1.2V \pm 0.07V$ となる。

## 【0032】

電流 $I_1$ は、 $V_{r1}/R_{ext}$ となるが、この電流 $I_1$ も、同様に、例えば、 $100\mu A \pm 7\mu A$ という具合にばらつく。電圧 $V_{r2}$ は、内蔵抵抗 $R_1$ のバラツキに直接影響される。内蔵抵抗 $R_1$ のバラツキを、例えば、 $2.4K\Omega \pm 20\%$ とすると、電圧 $V_{r2}$ は、

$$\begin{aligned} V_{r2} &= V_{r1} + I_1 \times R_1 \\ &= (1.2V \pm 0.07V) + \\ &\quad (100\mu A \pm 7\mu A) \times (2.4K\Omega \pm 0.48K\Omega) \\ &= 1.44V \pm 0.13V \end{aligned}$$

となる。

## 【0033】

ここで重要なことは、 $V_{r2}$ は、内蔵抵抗 $R_1$ の外部抵抗 $R_{ext}$ に対するバラツキを含む比を検出しているということである。

## 【0034】

次に、出力インピーダンストリミング部12の動作を説明する。

出力インピーダンストリミング部は、電圧 $V_{r1}$ と電圧 $V_{to1}$ が入力されるコンパレータCMP、電圧 $V_{r2}$ と電圧 $V_{to2}$ が入力されるオペアンプOP2、コンパレータCMPの出力信号を受けるコード制御回路13、NチャネルMOSトランジスタ（電流制御素子）N2、内蔵抵抗 $R_{to}$ 、出力インピーダンス模擬抵抗 $R_{to\_trim}$ 、及び、出力ドライバ模擬抵抗 $R_{drv}$ から構成される。

## 【0035】

オペアンプOP2は、電圧 $V_{to2}$ が電圧 $V_{r2}$ に等しくなるように、NチャネルMOSトランジスタN2のゲート電圧を制御する。この状態で、電圧 $V_{to1}$ は、 $R_{to}$ と $(R_{to\_trim} + R_{drv})$ との分圧電圧となるが、重要なことは、 $R_{ext}$ と $R_1$ との比は、 $R_{to\_trim} + R_{drv}$ と $R_{to}$ との比

に等しくなることにある。

$$R_{ext} : R_1 = (R_{to\_trim} + R_{drv}) : R_{to}$$

外部抵抗  $R_{ext}$  は、高精度である。このため、内蔵抵抗  $R_1$ ,  $R_{to}$ ,  $R_{to\_trim}$ ,  $R_{drv}$  の値がそれぞればらついても、一般的には、 $R_1$  と  $R_{to}$  との相対精度が良くなるように製造すれば、 $R_{to\_trim} + R_{drv}$  の値は、正確に、規格値の範囲内に収めることが可能である。

#### 【0036】

コード制御回路13は、例えば、多段シフトレジスタから構成される。 $V_{r1}$  と  $V_{t01}$  の比較結果であるコンパレータCMP出力は、クロック信号CLKでシフトする多段シフトレジスタに入力される。シフトレジスタの各段からコードを取り出して、抵抗切り替えを行う。抵抗切り替えを行うに当たっては、例えば、従来技術の第2例で示したものを使用できる。

#### 【0037】

この状態で、クロック信号CLKが何度も供給されるうちに、最も、 $V_{r1}$  と  $V_{t01}$  の電位関係が正逆転を切り返す状態、つまり、 $V_{r1}$  と  $V_{t01}$  が最も近くて、±を横切る2つの状態を行き来するか、又は、コードが停止して安定することになる。この状態は、 $R_{to\_trim} + R_{drv}$  が最も規格値に等しくなるコードとなる。

#### 【0038】

具体的に計算例を示す。

オペアンプのオフセット電圧を、例えば、 $\pm 10 \text{ mV}$  とすると、

$$\begin{aligned} V_{t02} &= V_{r2} \pm 10 \text{ mV} = 1.44 \text{ V} \pm 0.13 \text{ V} \pm 10 \text{ mV} \\ &= 1.44 \text{ V} \pm 0.14 \text{ V} \end{aligned}$$

となる。

#### 【0039】

電流値  $I_{t0}$  は、

$$V_{t02} / (R_{to} + R_{to\_trim} + R_{drv})$$

となる。

#### 【0040】



この電流  $I_{to}$  により、 $V_{to1}$  は、その電圧効果として、

$$V_{to1} = I_{to1} \times (R_{to\_trim} + R_{drv})$$

となる。

【0041】

依って、

$$\begin{aligned} V_{to1} &= V_{to2} / (R_{to} + R_{to\_trim} + R_{drv}) \times (R_{to\_trim} + R_{drv}) \\ &= V_{to2} / (1 + R_{to} / (R_{to\_trim} + R_{drv})) \end{aligned}$$

となり、 $V_{to2}$  は、 $V_{to2}$  の抵抗比で決定されることになる。

【0042】

コンパレータCMPは、 $V_{r1}$  と  $V_{rtol}$  が最も等しくなるように、 $R_{to\_trim}$  を選択するので、この時、コンパレータCMPのオフセット電圧を、 $V_{offcmp}$  ( $\pm 20mV$ ) とすると、

$$V_{to1} = V_{r1} \pm V_{offcmp}$$

となる。

【0043】

具体的には、

$$\begin{aligned} \text{右辺} &= 1.2V \pm 0.07V \pm 0.02V = 1.2V \pm 0.09V \\ &\text{である。} \end{aligned}$$

【0044】

この右辺と左辺  $V_{to1}$  を等しいとすれば、

$$1.2V \pm 0.09V = (1.44V \pm 0.14V) / (1 + R_{to} / (R_{to\_trim} + R_{drv}))$$

となる。

【0045】

ここで、 $R_{to}$  と  $(R_{to\_trim} + R_{drv})$  からなる出力インピーダンス調整回路は、その消費電流を軽減するために、実際の出力バッファ回路に対して、例えば、6倍の抵抗で構成するものとする。従って、例えば、実際のドライ

バ出力インピーダンスを  $45\Omega$  としたい場合、

$R_{to\_trim} + R_{drv}$  は、 $270\Omega$  となり、

$R_{to}$  は、 $R_{ext} : R_1 = (R_{to\_trim} + R_{drv}) : R_{to}$

の関係、即ち、 $12K\Omega : 2.4K\Omega = 270\Omega : 54\Omega$  より、  
 $54\Omega$  となる。

【0046】

また、 $R_{to\_trim} + R_{drv} = 270\Omega$ 、 $R_{to\_trim} = 240\Omega$ 、 $R_{drv} = 30\Omega$  とする。

【0047】

ここで重要なことは、 $R_1$  と  $R_{to}$  は、同一の集積回路内に形成された抵抗であるため、相対精度良く製造できる、という点にある。また、 $R_{to\_trim}$  に関しても、同様に、相対精度良く製造することができるが、 $R_{drv}$  は、例えば、MOS トランジスタから構成されるため、そのバラツキには、トランジスタ製造バラツキが含まれる。

【0048】

先ほどの式に代入すると、

$$1.2V \pm 0.09V = (1.44V \pm 0.14V) / (1 + (R_{to} / (R_{to\_trim} + R_{drv})))$$

となり、依って、

$$R_{to} / (R_{to\_trim} + R_{drv}) = ((1.44V \pm 0.14V) / (1.2V \pm 0.09V)) - 1$$

となる。

【0049】

従って、調整される抵抗  $R_{to\_trim}$  を、左辺に書き出すと、

$$R_{to\_trim} = (R_{to} / ((1.44V \pm 0.14V) / (1.2V \pm 0.09V)) - 1) - R_{drv}$$

となる。

【0050】

具体的な値を代入する。

$$R_{drv} = 30\Omega \pm 20\Omega,$$

$$R_{to} = 54\Omega \pm 10.8\Omega$$

とすると、

$$R_{to\_trim} = ((54\Omega \pm 10.8\Omega) / ((1.44V \pm 0.14V) / (1.2V \pm 0.09V) - 1)) - (30\Omega \pm 20\Omega)$$

となる。

【0051】

全てセンター条件であれば、

$$R_{to\_trim}(\text{センター}) = (54\Omega / ((1.44V / 1.2V) - 1)) - 30\Omega = 240\Omega$$

として計算することができる。

【0052】

つまり、 $R_{to\_trim}$ が240Ωに最も近づくように調整される場合、結果的に、240Ωが最終値として求まることになる。直列になる $R_{drv} = 30\Omega$ と合わせれば、270Ωとなり、ターゲットとする45Ωの6倍の抵抗に正確に調整されることになる。

【0053】

種々の要因のバラツキを上記計算により求めることができるが、雑多な計算を要することになるため、ここでは、省略する。大事なことは、広いバラツキ範囲を想定し、出力インピーダンス模擬抵抗 $R_{to\_trim}$ の調整範囲を広範囲に調整可能としておく点にある。

【0054】

図2は、トリミング回路の調整範囲の実施例を示す。

実際は、ドライバ回路と同じにすると、電流が多く流れてしまう。そこで、電流を絞るために、出力インピーダンス模擬抵抗 $R_{to\_trim}$ の値は、6倍程度に大きく設計する。以下の表1では、出力ドライバのインピーダンスに換算して記載している。

【0055】

【表 1】

Rtrm	53.33	*0.8	*1.2	*0.9	*1.1
Rsw	5	3	8	3	8
Code	Typ	(-20%)	(+20%)	(-10%)	(+10%)
0	58.33	45.67	72.00	51.00	66.67
1	53.70	41.96	66.43	46.83	61.57
2	49.80	38.84	61.76	43.32	57.28
3	46.48	36.19	57.78	40.33	53.63
4	43.62	33.90	54.34	37.76	50.48
5	41.13	31.90	51.35	35.52	47.74
6	38.94	30.15	48.73	33.55	45.33
7	37.00	28.60	46.40	31.80	43.20

## 【0056】

コード制御回路13を7段シフトレジスタから構成することにより、コード制御回路13の各段の状態を8通りとし、切り替えにより、実際のドライバの出力インピーダンスがどのように変化するかを示している。

## 【0057】

$R_{to\_trim}$ は、20%、切り替えに必要なスイッチの抵抗は、 $5\Omega + 3\Omega / -2\Omega$ として、バラツキ範囲を含めて、グラフに示している。

## 【0058】

トリミング回路は、従来技術の第2例の抵抗切り替え部と同じとし、 $R_0 = 53.33\Omega$ 、各スイッチの抵抗値 $= 5\Omega$ 、 $R_1, \dots, R_7 = 560\Omega$ 、ドライバ抵抗 $R_{drv} = 5\Omega$ として計算している。

## 【0059】

内蔵抵抗のバラツキを予め考慮して、 $R_{to\_trim} + R_{drv}$ は、狙い目（この場合、 $45\Omega$ ）に対し、大きめの値から小さめの値にコードで切り替え可能であるように設定する。

## 【0060】

例えば、ドライバ回路においては、 $R_{to} + R_{drv}$ は、最大、 $58.33\Omega$ 、最小、 $37\Omega$ となるように設定している。 $*0.8$ や $*1.2$ などは、各々のバラツキや各種依存性を加味したバラツキ計算例である。標準では、コード3とコード4の間で最適な $45\Omega$ を横切っているが、 $*0.8$ のベスト条件であっても、コード0とコード1の間、 $*1.2$ のワースト条件であっても、コード6とコード7の間で、最適な値を見付け出すことができる。

## 【0061】

規格値を $45\Omega \pm 5\Omega$ とした場合でも、内蔵抵抗の $\pm 20\%$ のバラツキに対して調整可能なことが分かる。

## 【0062】

結局の所、 $V_{r1} \doteq V_{to1}$ が等しくなるように、 $V_{t1} \doteq V_{to2}$ 、 $I_{to}$ などが制御される訳であり、結果的に、 $V_{ref}$ を始め、このような中間変数は、正確な抵抗比を最終結果とする制御系の中間変数でしかなく、直接の影響が排除されていることが理解できる。

## 【0063】

さらに、重要なことは、詳細は示さないが、 $V_{ref}$ 、オペアンプOP1のオフセット、電流のバラツキなどにも、非常に鈍感であることである。 $R_1$ と $R_{to}$ の抵抗比については、正確である必要があるが、LSIの中に、ある程度以上の面積で、かつ、接近させて配置すれば、 $\pm 0.5\%$ 以下の相対精度は、容易に実現することができる。

## 【0064】

図3は、インピーダンス調整回路 $R_{trim}$ を除き、SPICEを用いて、回路シミュレーションした結果を示している。

## 【0065】

同図は、縦軸に、コンパレータCMPの入力となる $V_{to1} - V_{r1}$ をとり、横軸に、 $0 \sim 10\mu s$ までの時間を取り、 $37\Omega \sim 58.33\Omega$ まで、 $R_{trim}$ をリニアに可変させた場合のシミュレーション結果である。これまで述べてきたバラツキ範囲をモンテカルロ法で100回組み合わせても、下2本のライン以

外の全てのラインは、0Vのラインをクロスしており、このことから、調整可能である事が分かる。

【0066】

図4は、コード制御回路とインピーダンス調整回路の実施例を示している。

【0067】

ここでは、 $V_{t01} > V_{r1}$ で1を出力するコンパレータCMPにより、抵抗を下げる（コードを上げてRtrimのスイッチをオンさせる）情報を、クロック信号CLKでラッチし、順次、シフトする。

【0068】

この場合、インピーダンス調整回路Rtrimを構成する全てのスイッチ付き抵抗の構成が同じであるとする、単に、多段シフトレジスタの何段目が1を出力しているかのみが重要となるため、順次、シフトしても構わない。初期状態において、全てのシフトレジスタの値が零になっていても、クロック信号CLKを何回も与えることにより、コードを最適に生成することができる。

【0069】

通常は、 $V_{t01} \geq V_{r1}$ と $V_{t01} \leq V_{r1}$ を跨ぐコードの間を、順次、繰り返し、最適値に確定させることになるが、シフトレジスタが、全て、1、つまり、全抵抗を並列に接続する状態でも、 $V_{t01} \geq V_{r1}$ であれば、その状態でコードが確定する。シフトレジスタが全て0、つまり、最も高い抵抗のみの状態でも、 $V_{t01} \leq V_{r1}$ であれば、その状態でコードを確定させることが可能である。

【0070】

この調整時の様子を図5の動作波形図に示す。

同図では、状態が行き来している様子を示している。

【0071】

### 3. 第2実施の形態

図6は、本発明の第2実施の形態に関わるインピーダンス調整回路を示している。

【0072】

この実施の形態は、入力インピーダンス調整回路14に関する。この回路は、先ほどの出力インピーダンス調整回路に比べ、ドライバ模擬抵抗及びドライバ自身が不用であり、単に、抵抗をトリミングし、得られたコードを用いて、入力インピーダンスを調整する。

【0073】

回路動作については、第1実施の形態における動作と同じであるため、ここでは、省略する。

【0074】

#### 4. 第3実施の形態

図7は、本発明の第3実施の形態に関わるインピーダンス調整回路を示している。

【0075】

この実施の形態は、入出力インピーダンス調整回路に関する。この回路は、出力インピーダンストリミング部12と入力インピーダンストリミング部14を有する。この場合、1つの共通バイアス部11を、入力インピーダンストリミング部12と出力インピーダンストリミング部14とで共有することができる。

【0076】

回路動作については、第1実施の形態における動作と同じであるため、ここでは、省略する。

【0077】

#### 5. 第4実施の形態

図8は、本発明の第4実施の形態に関わるインピーダンス調整回路を示している。

この実施の形態は、抵抗調整回路に関する。

【0078】

従来技術の第2例に示されている方法では、抵抗R0に対し、同じ抵抗値を有する抵抗R1～R8を並列に接続して、インピーダンスの調整を行っている。しかし、この方法では、バラツキ許容範囲を広げると、コード数が多くなる、高抵抗から低抵抗に広範囲に切り替えなければならないなどの問題があった。

## 【 0 0 7 9 】

この実施の形態では、コードと抵抗値との関係は、S字カーブ又は折れ線カーブとなるため、広範囲なバラツキに対しても、少ないコードで、インピーダンスの調整を行うことができる。

## 【 0 0 8 0 】

具体的には、例えば、従来技術の第2例における抵抗 $R_0$ を $55\Omega$ とし、抵抗 $R_1$ 及び抵抗 $R_2$ を $67\Omega$ とし、抵抗 $R_3$ 及び抵抗 $R_4$ 及び抵抗 $R_5$ を $100\Omega$ とし、抵抗 $R_6$ を $42\Omega$ とし、抵抗 $R_7$ を $33\Omega$ とする。このように、各抵抗の抵抗値に差を付けて、コードと抵抗値との関係をS字カーブ又は折れ線カーブとする。

## 【 0 0 8 1 】

なお、調整に用いる抵抗値を変える場合、単純なシフトレジスタによるスイッチ制御ではなく、多段シフトレジスタの各段の出力に基づいて、1レベルの数を検出し、その数によって、並列に接続される抵抗を選択するようなデコード回路をさらに設けてもよい。

## 【 0 0 8 2 】

## 6. 第5実施の形態

図9は、本発明の第5実施の形態に関わるインピーダンス調整回路を示している。

この実施の形態は、抵抗調整回路に関し、第1実施の形態で示した抵抗調整の応用例である。

## 【 0 0 8 3 】

L S I には、パッケージに寄生するリードフレーム抵抗、ボンディングワイヤ抵抗、ペレット内配線抵抗などが寄生するため、パッケージの外からインピーダンスを見ると、これらの抵抗が全て直列に繋がった形に見える。この実施の形態では、これらの寄生抵抗の全てを予め見込んで、インピーダンス模擬抵抗 $R_{trim}$ の値を調整し、全ての寄生抵抗込みで、所望のインピーダンスになるように、インピーダンスの調整を行う。

## 【 0 0 8 4 】



例えば、配線抵抗  $R_{metal}$  を  $0.5\Omega$ 、ボンディングワイヤ抵抗  $R_{bdg}$  を  $0.3\Omega$ 、リードフレーム抵抗  $R_{frm}$  を  $0.2\Omega$  とすれば、バッファの電源ピンから出力ピンまでの電流経路の全体を見た抵抗は、 $2 \times (0.5\Omega + 0.3\Omega + 0.2\Omega) = 2\Omega$  となる。

## 【0085】

このような場合、インピーダンス模擬抵抗  $R_{trim}$  は、所望の抵抗値、例えば、 $45\Omega$  に対し  $2\Omega$  程度低い値、 $43\Omega$  を狙って調整すればよいことになる。ただ、回路的に、インピーダンス模擬抵抗  $R_{trim}$  を、この  $43\Omega$  を中心に切り替えるのは、余りにも煩雑である。

## 【0086】

この実施の形態では、抵抗  $R_1$  を切り替えて、インピーダンス模擬抵抗  $R_{trim}$  の調整範囲をシフトさせることができる。

## 【0087】

$R_{ext} : R_1 = R_{trim} : R_t$  とし、 $R_{trim}$  を  $45\Omega$  から  $43\Omega$  に変えて調整したい場合は、 $R_1$  を  $45/43$  の比だけ大きくすればよい。この場合、予め、予想される全ての寄生抵抗を加味して、 $R_1$  を切り替え得るように、LSI パターンを用意しておき、 $R_1$  を大きくしたり、小さくしたりすればよい。切り替えは、アナログスイッチやメタル層をマスタースライスで切り替えるなどの手法により行う。

## 【0088】

図10及び図11は、寄生抵抗を加味して、インピーダンス模擬抵抗  $R_{trim}$  を切り替える場合におけるコードに対する抵抗変化の例を示している。

## 【0089】

これらの図に示すように、寄生抵抗が小さい場合には、インピーダンス模擬抵抗  $R_{trim1}$  は、大きめの値、例えば、 $43\Omega$  を中心に切り替えを行うことが可能であるし、寄生抵抗が大きい場合には、インピーダンス模擬抵抗  $R_{trim2}$  は、小さめの値、例えば、 $40\Omega$  を中心に切り替えを行うことが可能である。

## 【0090】

なお、パッケージが変わっても、この実施の形態によれば、インピーダンスを

一定に保つことができる。

【0091】

#### 7. 第6実施の形態

次に、本発明の第6実施の形態に関わるインピーダンス調整回路について説明する。

【0092】

この実施の形態は、上述の第5実施の形態の変形例である。つまり、図9において、高精度抵抗  $R_{ext}$  の値は、必ずしも一つの値に決める必要はない、というものである。例えば、高精度抵抗  $R_{ext}$  の抵抗値が  $12\text{ k}\Omega$  の場合には、抵抗  $R_1$  の抵抗値は、 $2.4\text{ k}\Omega$  にする。また、高精度抵抗  $R_{ext}$  の抵抗値が  $13\text{ k}\Omega$  の場合には、抵抗  $R_1$  の抵抗値は、 $2.4\text{ k}\Omega$  から  $(13/12) \times 2.4\text{ k}\Omega$  分だけ、大きくすればよい。つまり、 $2.6\text{ K}\Omega$  となる。

【0093】

なお、回路動作の説明については、省略するが、 $R_{ext} : R_1 = R_{trim} : R_t$  の関係は、維持される。

【0094】

このように、高精度抵抗  $R_{ext}$  の値を変えても、インピーダンスを一定に保つことができる。

【0095】

#### 8. 第7実施の形態

次に、本発明の第7実施の形態に関わるインピーダンス調整回路について説明する。

【0096】

この実施の形態は、上述の第5及び第6実施の形態を組み合わせたものである。このように、第5及び第6実施の形態を組み合わせれば、高精度抵抗  $R_{ext}$  の抵抗値とパッケージに寄生する各種の抵抗の抵抗値とを、抵抗  $R_1$  の抵抗値の切り替えによって補正することができる。つまり、高精度抵抗  $R_{ext}$  の値を変えても、また、パッケージの種類を変えても、インピーダンスを一定に保つことができる。

【0097】

## 9. 第8実施の形態

次に、本発明の第8実施の形態に関わるインピーダンス調整回路について説明する。

【0098】

この実施の形態は、上述の第5実施の形態において、内部基準電圧  $V_{ref}$  が所望の値からずれた場合の対応策に関する。例えば、内部基準電圧  $V_{ref}$  の狙い目が  $1.2V$  で、高精度抵抗  $R_{ext}$  が  $12K\Omega$  であるとする。この時、高精度抵抗  $R_{ext}$  に流れる電流は、 $V_{ref}/R_{ext} = 100\mu A$  である。

【0099】

ここで、製造プロセスの変更などにより、内部基準電圧  $V_{ref}$  が  $1.2V$  から外れる場合がある。仮に、内部電源電圧  $V_{ref}$  が  $1.25V$  になったとすれば、高精度抵抗  $R_{ext}$  に流れる電流は、 $125\mu A$  となり、 $V_{r2}$  も、抵抗  $R_1$  の電圧降下の増大に合わせて高くなってしまう。

【0100】

このような場合は、抵抗  $R_1$  を2つの部分に分け、その中点を  $V_{r1}$  としてオペアンプ  $OP_1$  のマイナス入力端子に接続する。そして、その2つの部分のうち高精度抵抗  $R_{ext}$  に繋がる部分 ( $R_1$  下) で、 $1.25V - 1.2V = 0.05V$  分の電位差を吸収する。また、抵抗  $R_1$  の2つの部分のうちオペアンプ  $OP_1$  の出力端子に接続される部分 ( $R_1$  上) は、 $R_{ext} : (R_1 \text{ 下} + R_1 \text{ 上}) = R_{trim} : R_t$  の関係を満足するような抵抗値とする。

【0101】

このように、本実施の形態によれば、内部基準電圧  $V_{ref}$  にばらつきが生じても、動作電流については、常に一定とすることで、高精度に、 $R_{trim}$  を調整することができる。

【0102】

## 10. まとめ

第1乃至第8実施の形態で説明したように、本発明の例に関わるインピーダンス調整回路によれば、以下の効果を奏する。

【0103】

- ・ CMOS LSI の通常工程で製造可能である。
- ・ 外部抵抗が1つで済み、コスト的に有利である。
- ・ 外部高精度抵抗の値を変えても、インピーダンスを一定にすることができる。
- ・ パッケージが変わったり、LSI レイアウトが変わったり、寄生抵抗が変わっても、インピーダンスを一定にすることができる。

【0104】

- ・ 調整のコードを増やすことが容易で、より高精度の調整が容易に実現できる。
- ・ 出力インピーダンスの調整は、ドライバを含めて行っているので、高精度に行うことができる。
- ・ より広範囲のバラツキに対しても、製造歩留りを簡単に上げることができる。
- ・ 回路要素を分解できるため、共通化したりすることが容易で、面積的に縮小が可能である。

【0105】

このような効果を実現するための本発明の基本要素は、図12に示すようになる。本発明の概念としては、各抵抗素子の抵抗値に関し、 $R_{ext} : R_1 = R_{trim} : R_t$  の関係に最も近い  $R_{trim}$  を実現することにある。

【0106】

また、この概念の範囲において、以下のような変形が可能であることは言うまでもない。

- ・ パワーアンプの出力電流を強化するため、PチャネルMOSトランジスタ（電流ドライバ）を電源端子VDDに接続すること。
- ・ 同様に、NチャネルMOSトランジスタのソースフォロワを電源端子VDDに接続すること。
- ・ 外部抵抗  $R_{ext}$  の抵抗値に応じて抵抗  $R_1$  の抵抗値を可変できるような形で、抵抗  $R_1$  をLSI内に形成すること。

【0107】

- ・ コード制御回路を、多段シフトレジスタではなく、ラッチとコーダで構成すること。
- ・ コード信号の取り得る状態を、調整可能バラツキ範囲／調整精度の関係で加減すること。
- ・ 抵抗 $R_1$ と抵抗 $R_t$ との相対精度を良くするため、同一形状のユニット抵抗をLSI内で近接して配置すること。

【0108】

- ・ 基準電圧 $V_{ref}$ と電源電圧 $V_{DD}$ との関係を一定に保ち、回路全体の電源電圧 $V_{DD}$ と接地電圧 $V_{GND}$ との関係を逆転させること。
- ・ 外部抵抗 $R_{ext}$ の値及び寄生抵抗に応じた抵抗 $R_1$ の値の調整の代わりに、抵抗 $R_t$ の調整を行うこと。
- ・ 帰還系の抵抗 $R_{trim}$ と実際の被インピーダンス調整回路（出力ドライバ部や入力抵抗部など）との間に一定の比率を持たせること。

【0109】

なお、この発明は、上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で、構成要素を変形して具体化できる。また、上記実施の形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上記実施の形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施の形態の構成要素を適宜組み合わせてもよい。

【0110】

【発明の効果】

以上、説明したように、本発明の例に関わるインピーダンス調整回路によれば、LSI製造プロセスのバラツキの影響を排除し、高精度のトリミングを実現すると共に、少ない外部部品で構成することにより、製造コストの低減を実現することができる。

【図面の簡単な説明】

【図1】

第1実施の形態に関わるインピーダンス調整回路を示す図。

【図 2】

コードと出力インピーダンスとの関係を示す図。

【図 3】

SPICEによるシミュレーション結果を示す図。

【図 4】

コード制御回路とインピーダンス模擬抵抗の例を示す図。

【図 5】

インピーダンス調整時の動作波形を示す図。

【図 6】

第 2 実施の形態に関わるインピーダンス調整回路を示す図。

【図 7】

第 3 実施の形態に関わるインピーダンス調整回路を示す図。

【図 8】

第 4 実施の形態に関わるコードと出力インピーダンスとの関係を示す図。

【図 9】

第 5 実施の形態に関わるインピーダンス調整回路を示す図。

【図 1 0】

コードとインピーダンス模擬抵抗の抵抗値との関係を示す図。

【図 1 1】

コードとインピーダンス模擬抵抗の抵抗値との関係を示す図。

【図 1 2】

本発明の例に関わるインピーダンス調整回路の基本要素を示す図。

【図 1 3】

従来のインピーダンス調整回路を示す図。

【図 1 4】

従来のインピーダンス調整回路を示す図。

【図 1 5】

従来のインピーダンス調整回路を示す図。

【図 1 6】

従来のトリミング抵抗の例を示す図。

【図 1 7】

コードとトリミング抵抗の抵抗値との関係を示す図。

【図 1 8】

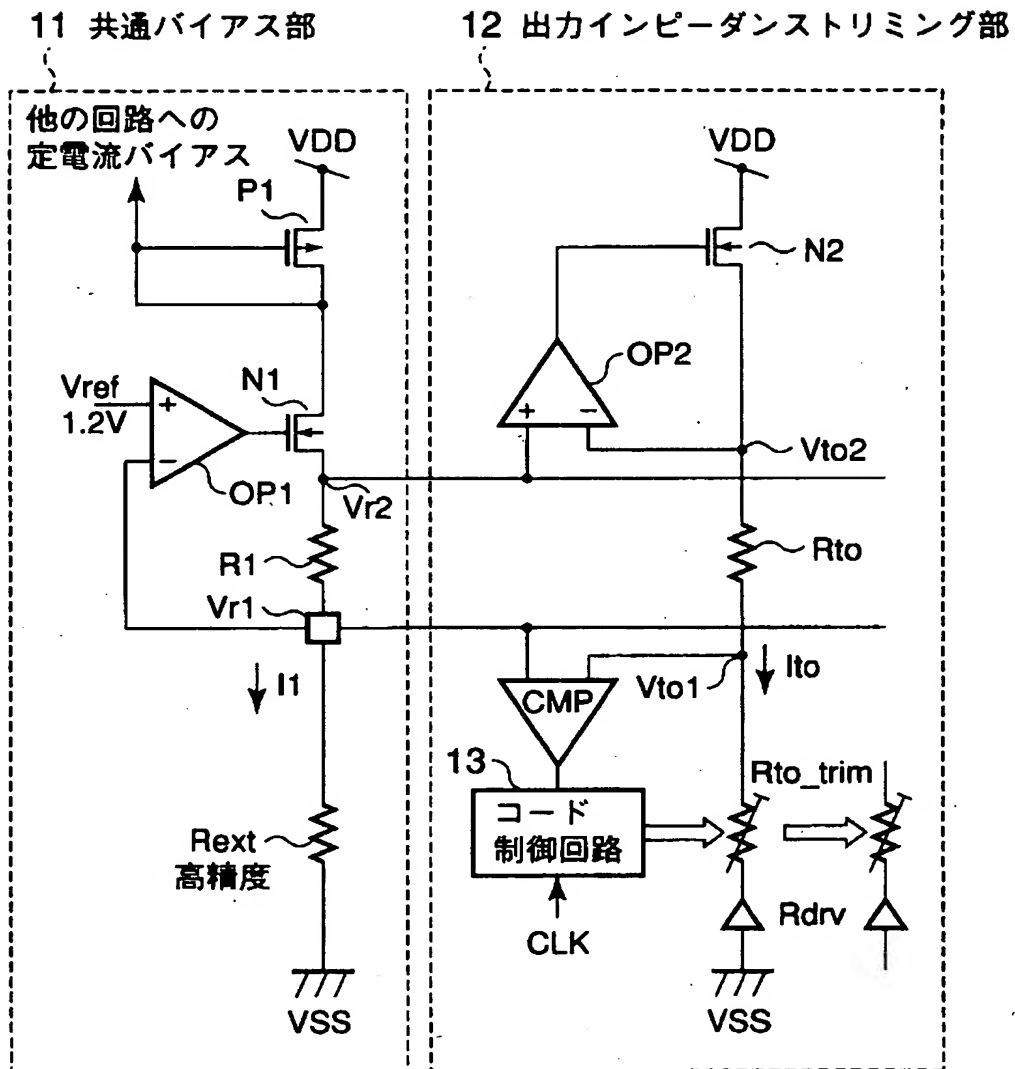
従来のインピーダンス調整回路を示す図。

【符号の説明】

1 1 : 共通バイアス部、 1 2 : 出力インピーダンストリミング部、 1  
3 : コード制御回路、 1 4 : 入力インピーダンストリミング部、 P 1 :  
PチャネルMOSトランジスタ、 N 1, N 2 : NチャネルMOSトランジ  
スタ、 O P 1, O P 2 : オペアンプ、 C M P : コンパレータ、 R 1,  
R t o, R t i : 内蔵抵抗、 R e x t : 外部高精度抵抗、 R t o t r  
i m, R t i t r i m : インピーダンス模擬抵抗。

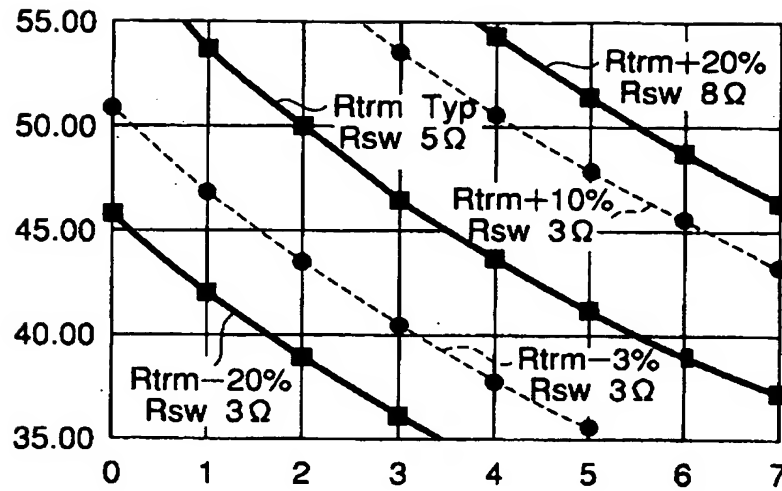
【書類名】 図面

【図 1】

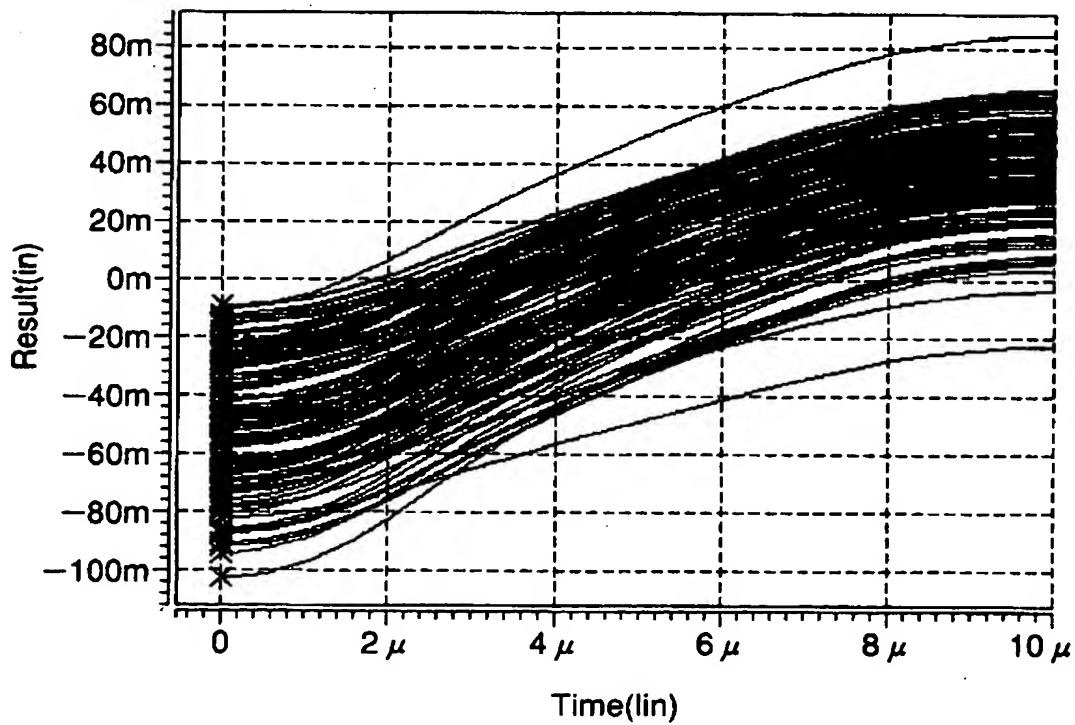




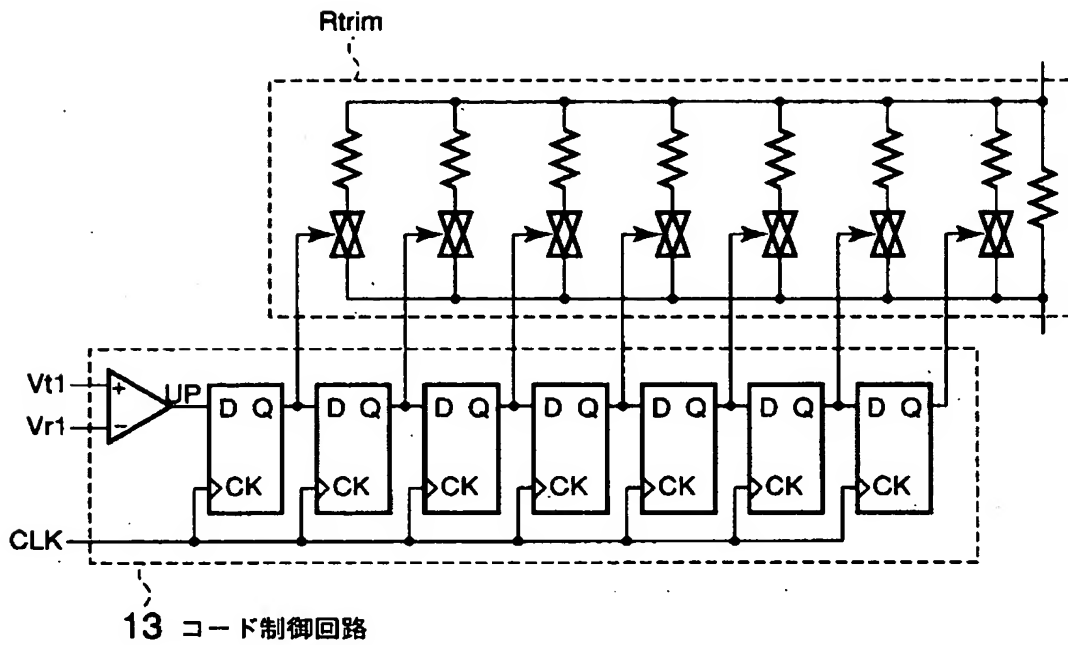
【図 2】



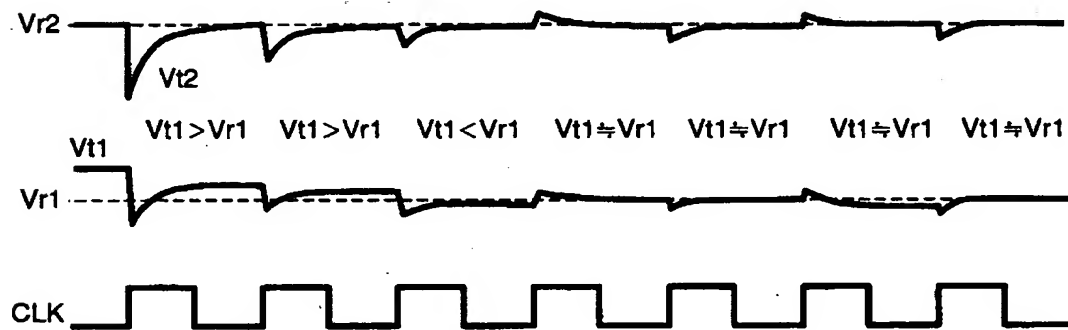
【図 3】



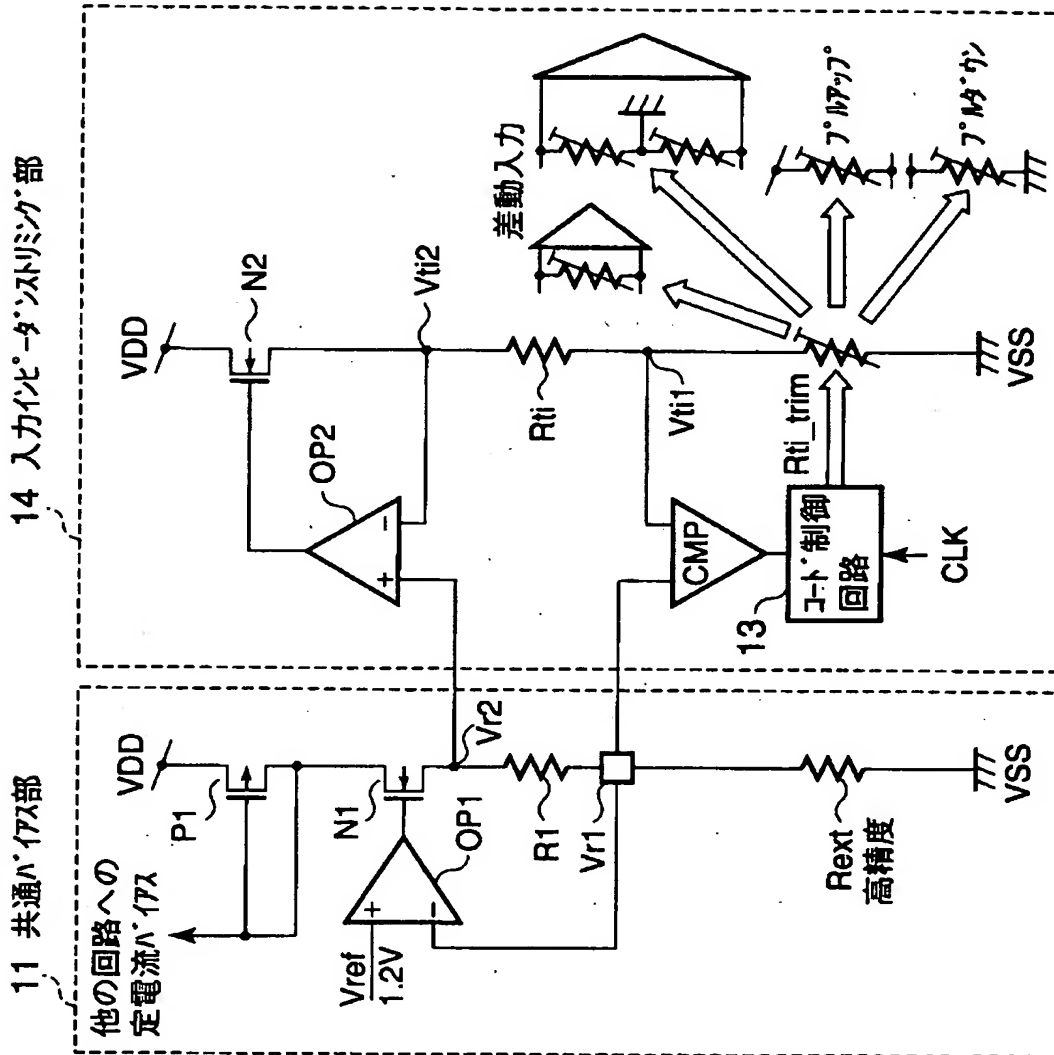
【図 4】



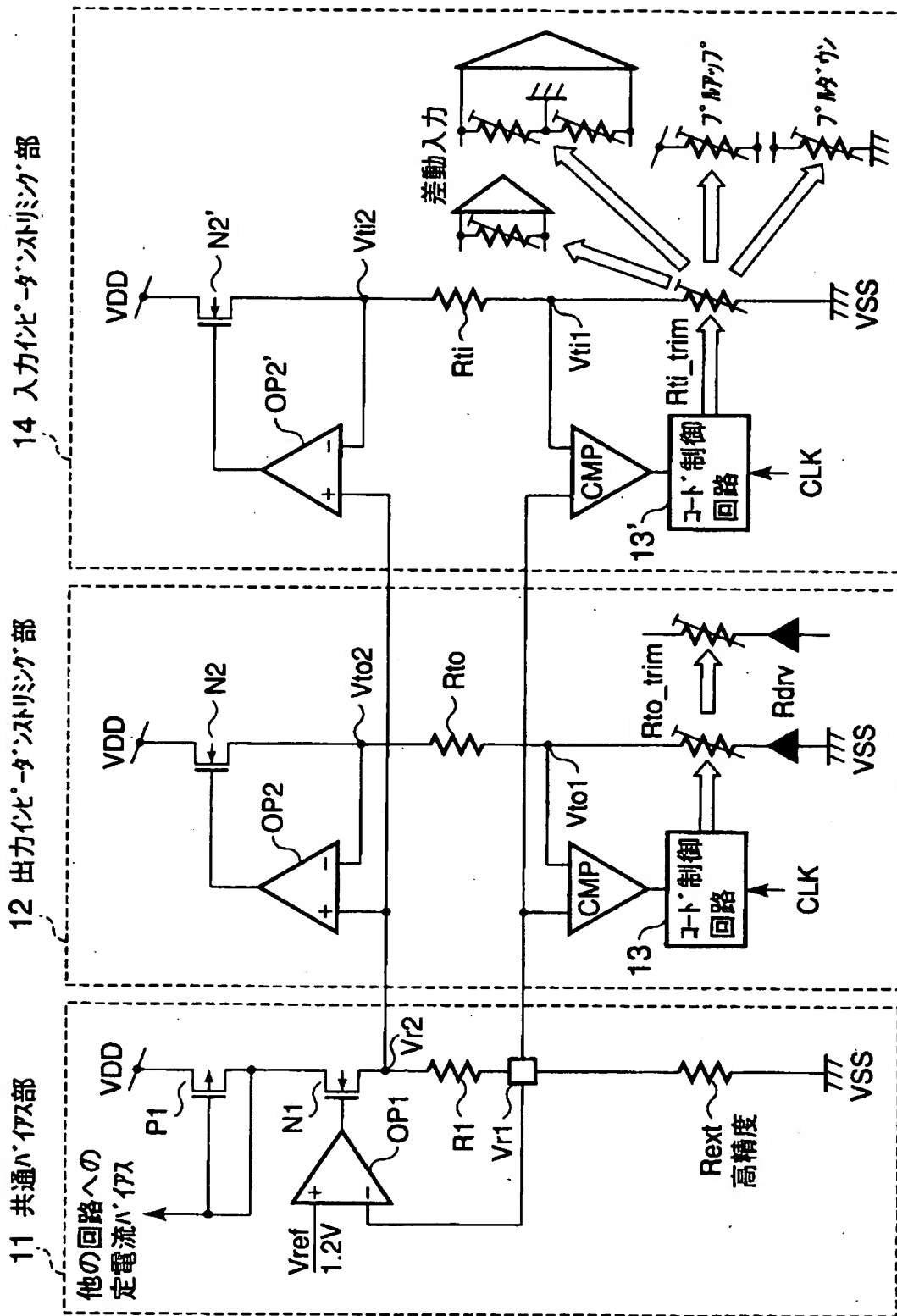
【図 5】



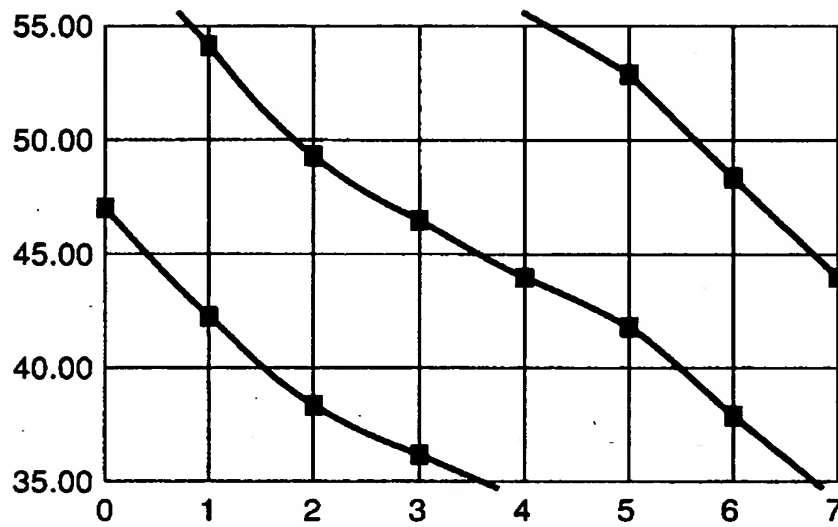
【図 6】



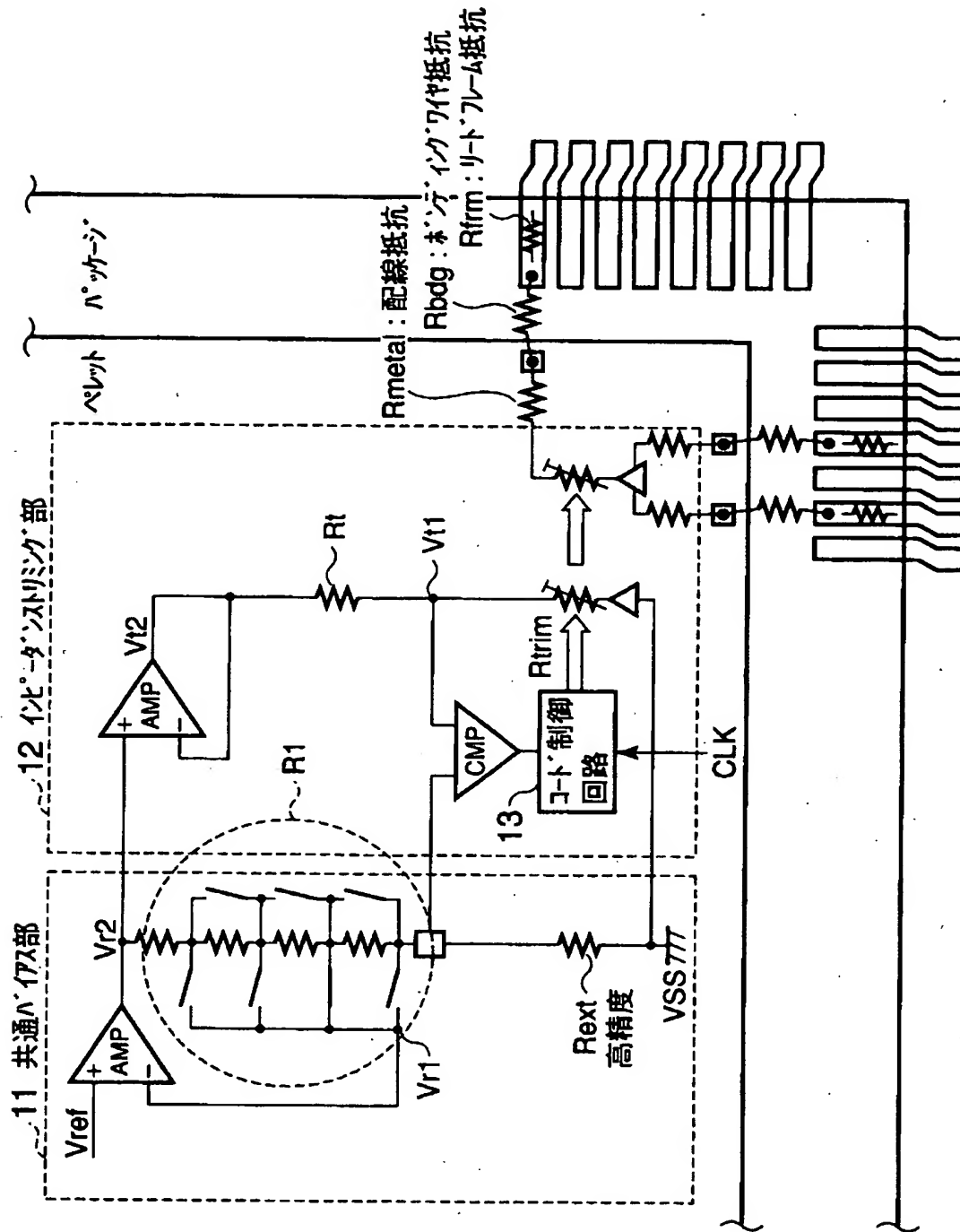
【図7】



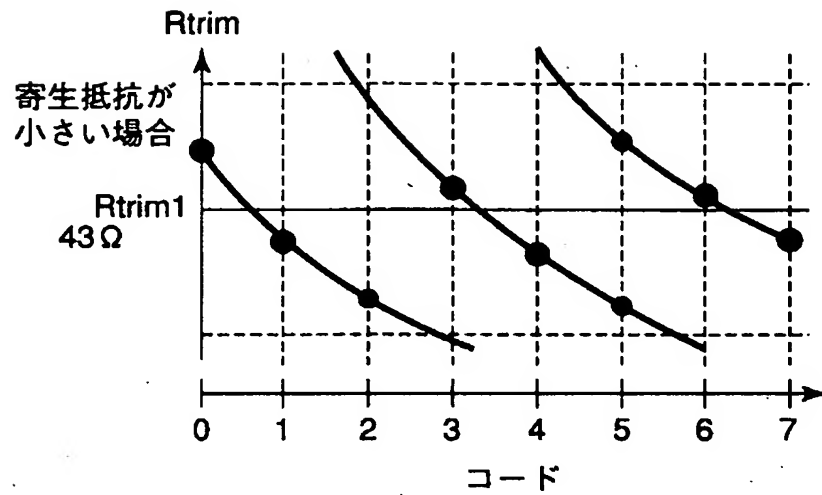
【図 8】



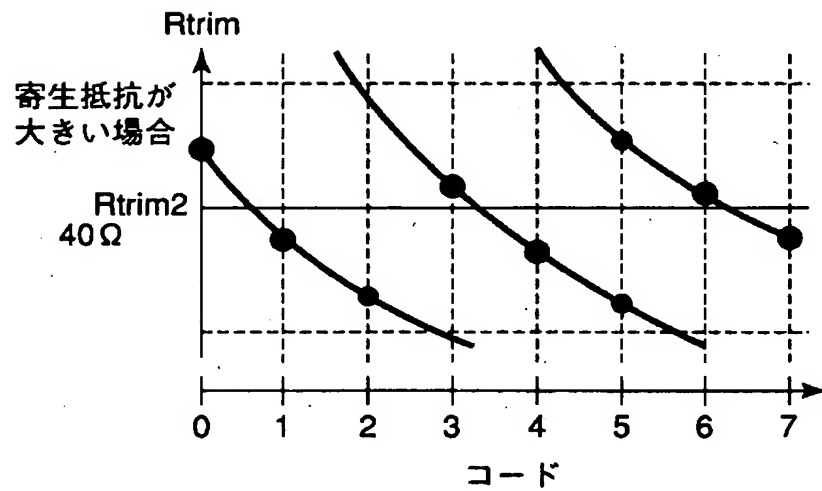
【図9】



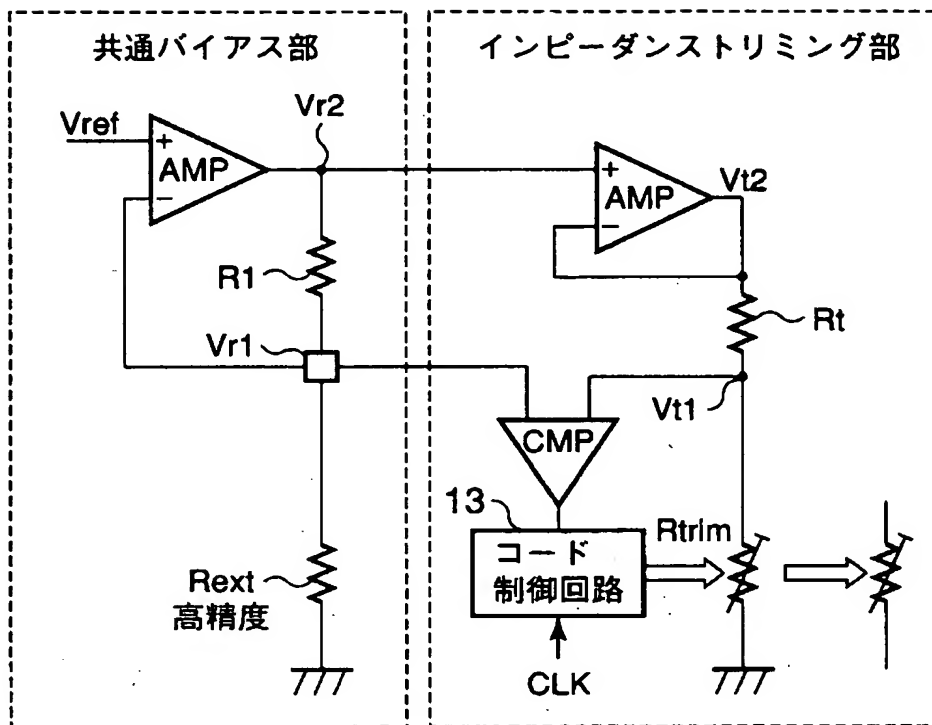
【図 10】



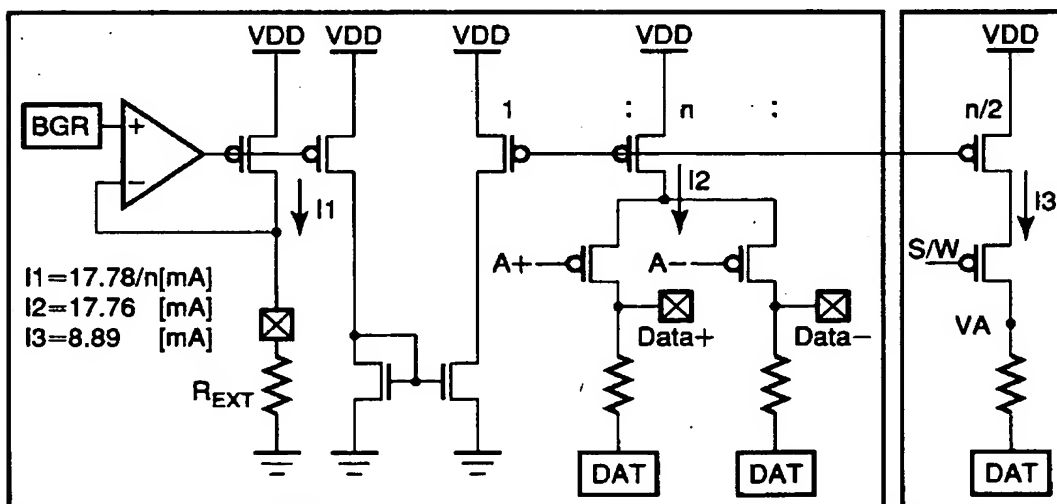
【図 11】



【図 1 2】

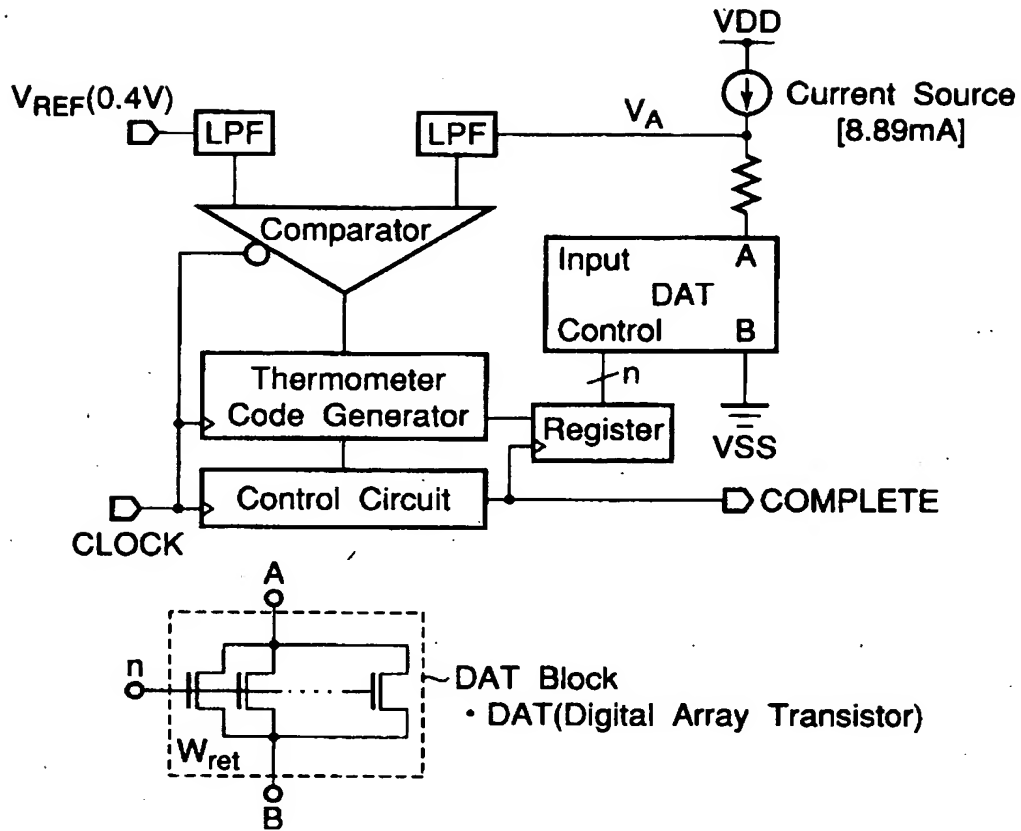


【図 1 3】

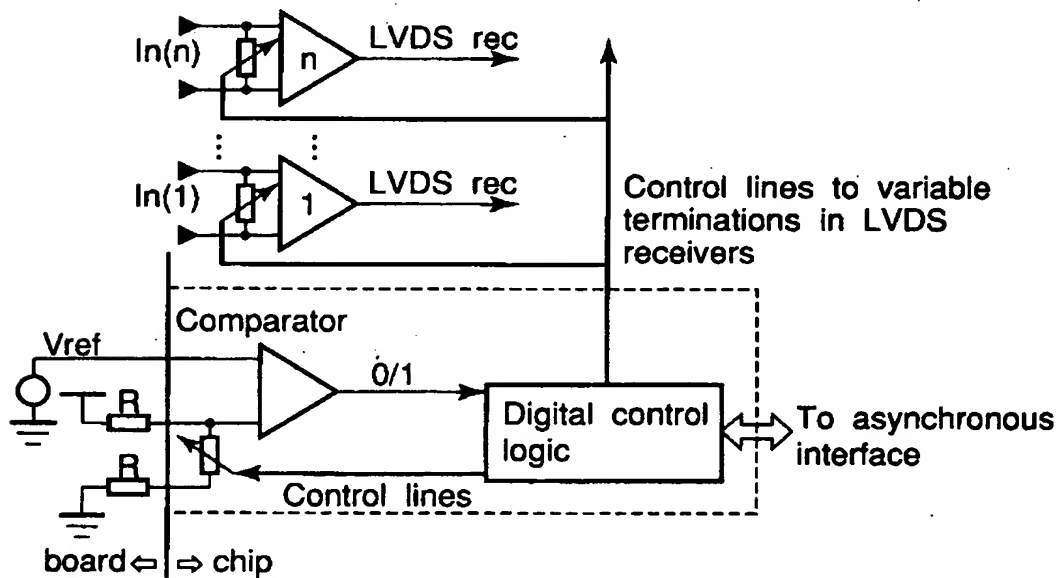




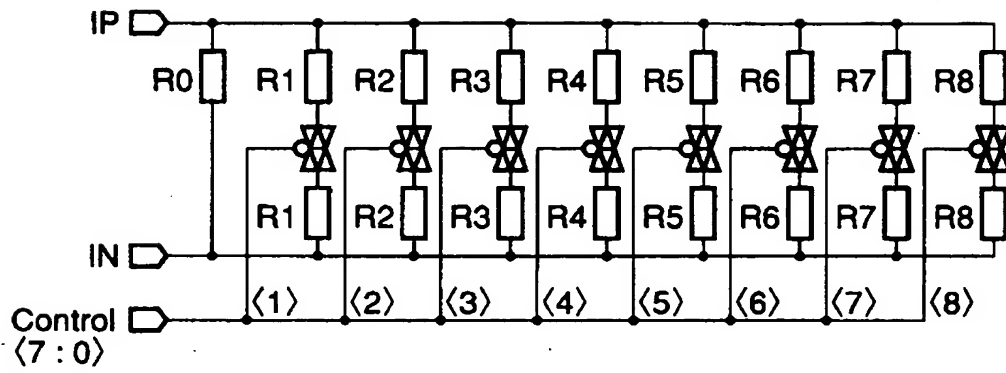
【図 14】



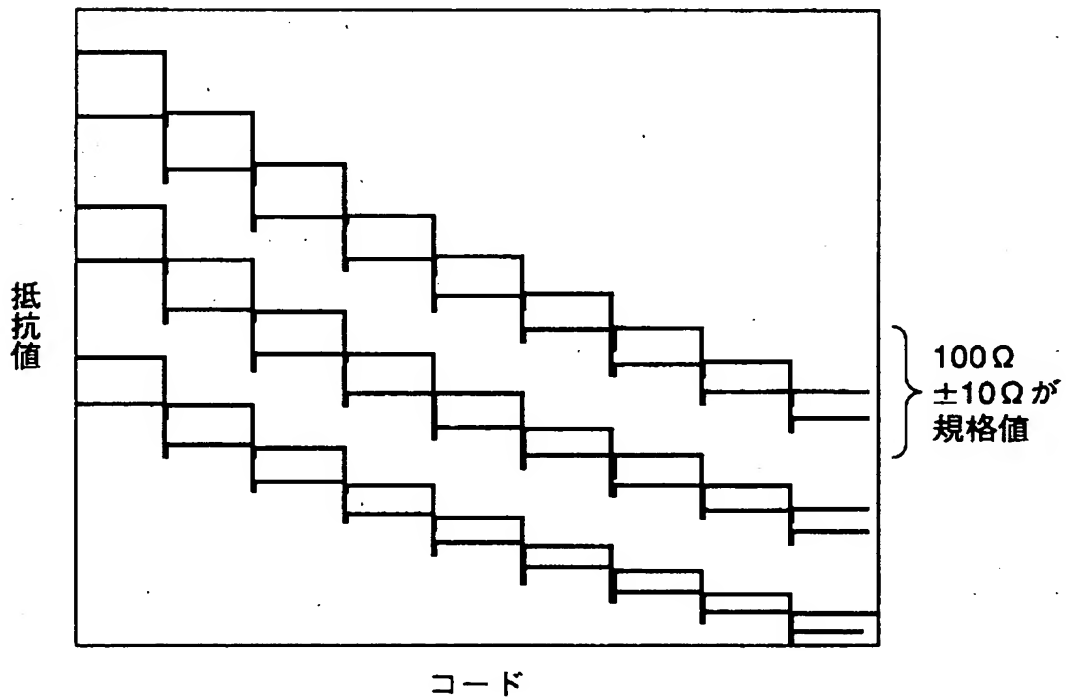
【図 15】



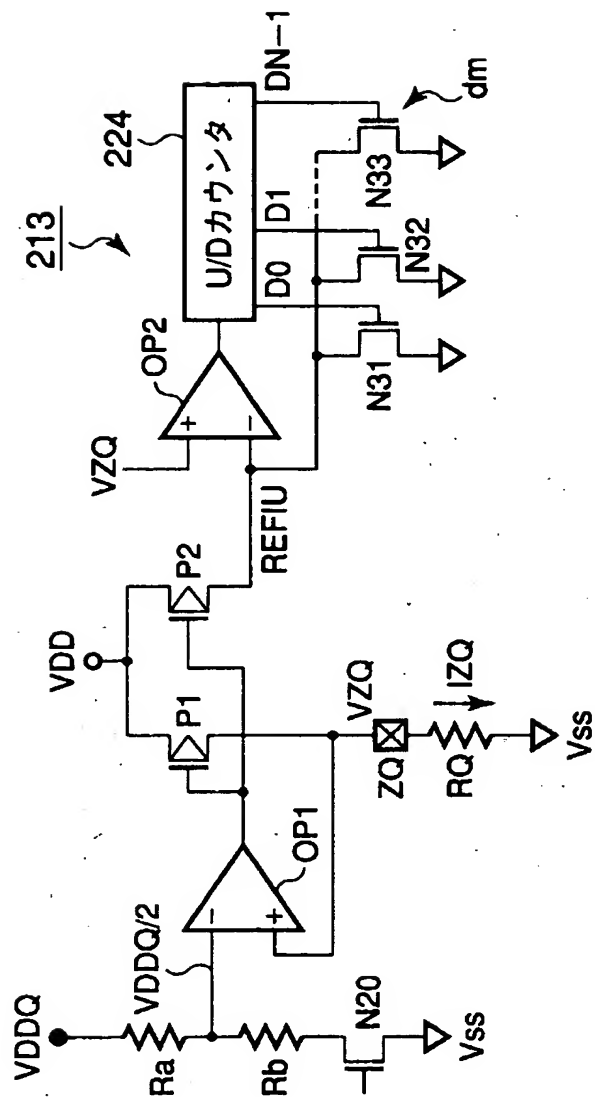
【図 1 6】



【図 1 7】



【図 18】



【書類名】 要約書

【要約】

【課題】 製造バラツキの影響を排除し、高精度のトリミングを実現する。

【解決手段】 共通バイアス部 11 は、内蔵抵抗  $R_1$  と外部抵抗  $R_{ext}$  が直列接続される直列回路と、第 1 入力端子に基準電圧  $V_{ref}$  が入力され、第 2 入力端子がノード  $V_{r1}$  に接続され、出力端子が直列回路に接続されるオペアンプ  $OP_1$  とから構成される。インピーダンストリミング部 12 は、内蔵抵抗  $R_{to}$  とインピーダンス模擬抵抗  $R_{to\_trim}$  が直列接続される直列回路と、第 1 入力端子がノード  $V_{r1}$  に接続され、第 2 入力端子がノード  $V_{to1}$  に接続されるコンパレータ  $CMP$  と、コンパレータ  $CMP$  の出力信号をクロック信号  $CLK$  でラッチし、複数の切り替えコードを生成するコード制御回路 13 と、インピーダンス模擬抵抗  $R_{to\_trim}$  の抵抗値を切り替える回路とから構成される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

- |          |                |
|----------|----------------|
| 1. 変更年月日 | 2001年 7月 2日    |
| [変更理由]   | 住所変更           |
| 住 所      | 東京都港区芝浦一丁目1番1号 |
| 氏 名      | 株式会社東芝         |
|          |                |
| 2. 変更年月日 | 2003年 5月 9日    |
| [変更理由]   | 名称変更           |
| 住 所      | 東京都港区芝浦一丁目1番1号 |
| 氏 名      | 株式会社東芝         |

出 願 人 履 歴 情 報

識別番号 [301063496]

1. 変更年月日 2001年11月28日

[変更理由] 住所変更

住 所 神奈川県川崎市幸区堀川町66番地2

氏 名 東芝アイティー・ソリューション株式会社